

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-181172

(43)Date of publication of application : 11.07.1997

(51)Int.CI.

H01L 21/768

C23F 4/00

H01L 21/28

H01L 21/3065

(21)Application number : 07-334969

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 22.12.1995

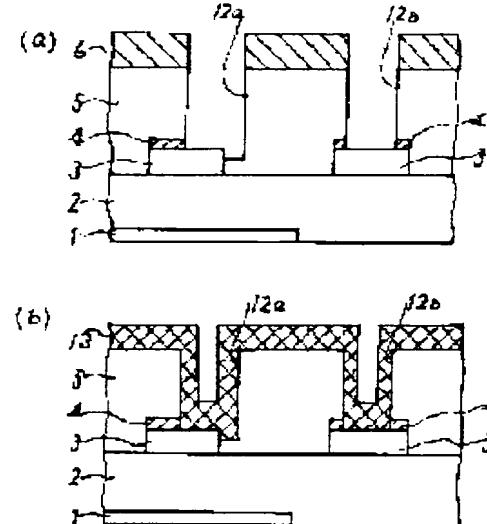
(72)Inventor : YOKOI TAKAHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To surely prevent a contact hole from being etched more deeply than necessary, at a low cost without increasing the number of processes.

SOLUTION: A second interlayer insulating film 5 laminated on a first wiring layer 3 is etched as far as the first wiring layer 3, and contact holes 12a, 12b are formed. In this case, the etching condition is as follows; the etching end must be saturated by the etching amount of the second interlayer insulating film 5 which is necessary for forming the contact holes 12a, 12b. The etching condition is set by changing the doping percentage of oxygen gas as the doping gas of etching gas.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japanese Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-181172

(43)公開日 平成9年(1997)7月11日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/768			H 01 L 21/90	C
C 23 F 4/00			C 23 F 4/00	F
H 01 L 21/28			H 01 L 21/28	C
21/3065			21/302	L
				J

審査請求 未請求 請求項の数 8 ○ (全 7 頁) 最終頁に続く

(21)出願番号 特願平7-334969

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日 平成7年(1995)12月22日

(72)発明者 横井 孝弘

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

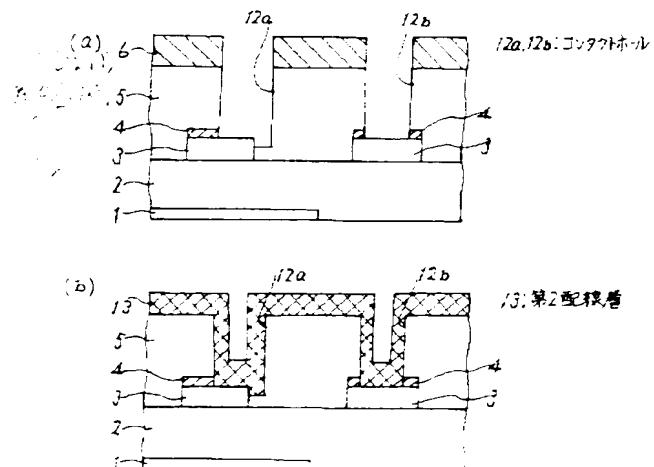
(74)代理人 弁理士 宮田 金雄 (外3名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 アライメントのズレが生じるとコンタクトホールが必要以上にエッチングされ、他の導電部まで到達してしまうという問題点があった。

【解決手段】 第1の配線層3上に積層された第2の層間絶縁膜5を第1の配線層3に至るまでエッチングしコンタクトホールを形成する際、エッチングのエッチングエンジンが、コンタクトホール12aを形成する際に必要な第2の層間絶縁膜5のエッチング量にて飽和するようエッチングのエッチング条件をエチングガスの添加ガスとしての酸素ガスの添加比率を変化させることにより設定した。



【特許請求の範囲】

【請求項1】半導体基板または第1の配線層上に積層された層間絶縁膜を上記半導体基板または上記第1の配線層に至るまでエチチングエントホールを形成する半導体装置の製造方法において、上記エチチングエントホールが、上記エリタク、ホールを形成する際に必要な上記層間絶縁膜のエッチング量にて飽和するよう上記エチチングのエッチャリング条件を設定することを特徴とする半導体装置の製造方法。

【請求項2】半導体基板または第1の配線層上に第1の保護膜を備え、コンタクトホールは層間絶縁膜および第1の保護膜を上記半導体基板または上記第1の配線層に至るまでエチチングし形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】コンタクトホールをリアクティブイオンエッチャリング方法にて形成することを特徴とする請求項1または請求項2記載の半導体装置の製造方法。

【請求項4】エッチャリングガスの添加ガスとしての酸素ガスの添加比率を変化させることによりエッチャリング条件を設定するようにしたことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】添加ガスとしての不活性ガスの添加量を変化させることによりエッチャリングガスの流量を変化させてエッチャリング条件を設定するようにしたことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項6】エッチャリング雰囲気の圧力を変化させることによりエッチャリング条件を設定するようにしたことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項7】エッチャリング雰囲気に印加される高周波電力を変化させることによりエッチャリング条件を設定するようにしたことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項8】コンタクトホールの開口幅を1.0μm以下としたことを特徴とする請求項1ないし請求項7のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、コンタクトホールを形成する際、写真製版技術におけるアライメントのズレが生じても、コンタクトホールが不要以上エッチャリングされることのない半導体装置の製造方法に関するものである。

【0002】

【従来の技術】図6は従来の半導体装置の製造方法を示す断面図である。以下、この半導体装置の製造方法について説明する。まず、下層配線層1を形成した後、全面に例えばシリコーン酸化膜から成る第1の層間絶縁膜2を積層する。次に、この第1の層間絶縁膜2上に例えばアミノ酸を膜厚の二倍用ねばけて下層配線層1の上に積層し、エチチングを行、第1の配線層3

および第1の保護膜4を形成する。次に、例えばシリコーン酸化膜を全面に堆積し、平坦化を行、第1の配線層3上の膜厚が例えば8.00nmにて例え第2の層間絶縁膜5を形成する。次に、レジストを塗布し写真製版技術によりレジストエリタクを行、レジスト膜6を形成する(図6-1)。この際、アライメントのズレが発生により底面と初期のレジスト膜6とのズレは第1の配線層3上を踏み外している。

【0003】次に、レジスト膜6をマスクに第2の層間絶縁膜5および第1の保護膜4のエチチングを例えばアミノ酸をシリコーンエチチング(以下、R1Eと略す)方法にて行い、各コンタクトホール7a、7bをそれぞれ形成する。この際、アライメントのズレを生じているコンタクトホール7cの形成部は第1の層間絶縁膜2を貫通し下層配線層1にまで到達してしまう場合がある(図6-2)。次に、レジスト膜6を除去し、各コンタクトホール7a、7bを介して第2の配線層5を形成する(図6-3)。

【0004】以下、なぜアライメントのズレを生じた際にコンタクトホール7cのような箇所が形成されるかについて説明する。まず、コンタクトホール7a、7bを形成するときに第2の層間絶縁膜5のエッチャリング深さは、第1の保護膜4上までの8.00nm以上に必要となる。これは、例えば図示されていない箇所と図示されている箇所とにおける第2の層間絶縁膜5の膜厚のバラつき、また、エッチャリングゲートのバラつき、また、エッチャングのコット内でのバラつき等に伴うもので、ここでは例えば1.50nm程度のオーバーエッチャリングが必要となる。

【0005】その上、第1の保護膜4をエッチャングする際、第1の保護膜4を確実にエッチャングするために、第1の保護膜4の膜厚の10.0%に相当するオーバーエッチャリングを行わなければならぬ。すなわち、第1の保護膜4は膜厚3.0nmの2倍の6.0nmに相当するエッチャリングが必要となる。これを第2の層間絶縁膜5のエッチャリング深さに換算すると、第2の層間絶縁膜5と第1の保護膜4とのエッチャリング選択比が1.0:1程度であるので、6.0nmの1.0倍である6.00nmに相当する。

【0006】以上のことから、アライメントのズレを生じた第2の層間絶縁膜5のエッチャリング深さは8.00nmと1.50nmと1.0nmとを加算して1.65nmほどとなり、図6-1に示すようにコンタクトホール7cの下端は下層配線層1まで到達する箇所を生じることとなる。そして、下層配線層1と第2の配線層5との埋格が生じ、半導体装置の信頼性が低下する。なお、ここでは便宜上第1の保護膜4を用いて説明したが、第1の保護膜4を備えてなくともこれ以外の様々な要因によること記したことを同様の現象は生じることである。

【0007】ここで、上記したようなことを防止するため、例えば第1の保護膜4のエチチングの際、エチチ

「条件を第1の保護膜4のエチチング選択性が前半工程にて変化しない程度を考慮の上もしくは、エチチング条件を変化する際は、生じるエッジなど半導体装置に付着し、これにより半導体装置の信頼性が低下する。」

【00016】また、他の附图の方法として例えば特開平2-145452号公報に示すような半導体装置の製造方法が提案されている。以下、これを以てこの半導体装置の製造方法について説明する。まず、上記従来の場合と同様の工程を経て下層配線層1、第1の層間絶縁膜2、第1の配線層3、および第1の保護膜4を形成する。次に、第1の配線層3および第1の保護膜4の側壁にエッジマスクを形成する。次に、これを全てを覆い、且つ、平坦化された第2の層間絶縁膜5を形成する。次に、レジストを塗り、写真製版技術によりバターニングを行い、レジスト膜6を形成する(図7-a)。この際、上記従来の場合と同様に紙面上左側のレジスト膜6のバターニングは第1の配線層3上を躊躇外している。

【00017】次に、レジスト膜6をマスクに第2の層間絶縁膜5および第1の保護膜4のエッチングを行い、各コントラクトホール10-a、10-bをそれぞれ形成する。この際、アライメントのズレを生じているコントラクトホール10-a形成部は、サイドウォール9が多少エッティングされ膜減りしサイドウォール9-aのようになるが、サイドウォール9がエッティングストップとして作用するので、それ以上のエッチングは防止されている(図7-b)。

しかし、次に、レジスト膜6を除去して、各コントラクトホール10-a、10-bを行って第2の配線層1-1を形成する(図7-c)。

【00018】

【発明が解決しようとする課題】従来の半導体装置の製造方法は以下のように行われ、コントラクトホール10-a、10-bを形成する際、写真製版技術によるアライメントのズレが発生したとしても、サイドウォール9によりコントラクトホール10-aが他の箇所までエッチングされるのを防止する。しかしながら、サイドウォール9を形成することによる半導体装置の歩留率の低下も否めなく、また、サイドウォール9を形成する工程などが余分に必要となりコストが高くなるといふ問題点があつた。

【00019】この発明は上記のような問題点を解消するためになされたもので、工程数を増加させることなく低成本且つ、確実にコントラクトホールが必要深さ以上エッチングされることなく、半導体装置の製造方法を提供することを目的とする。

【00020】

【課題を解決するための手段】この発明に係る請求項1の半導体装置の製造方法は、半導体基板または第1の配線層3に積層された層間絶縁膜2を半導体基板または第1の配線層3に至るまでエチチングマスクを形成する。

板にて半導体装置の製造方法において、エチチングマスクをエッジマスク、コントラクトホールを形成する際は必要な層間絶縁膜2エチチング量にて遮蔽するよりエチチングマスクエチチング条件を設定したものである。

【00021】また、この発明に係る請求項2の半導体装置の製造方法は、請求項1において、半導体基板または第1の配線層3に第1の保護膜を備え、コントラクトホールには層間絶縁膜2および第1の保護膜を半導体基板または第1の配線層3に至るまでエッジマスク形成するものである。

【00022】また、この発明に係る請求項3の半導体装置の製造方法は、請求項1または請求項2において、エッジマスクホールをエッジマスクマスクガスの方法にて形成するものである。

【00023】また、この発明に係る請求項4の半導体装置の製造方法は、請求項3において、エチチングガスの添加ガスとしての酸素ガスの添加比率を変化させることによりエッチング条件を設定するようにしたものである。

【00024】また、この発明に係る請求項5の半導体装置の製造方法は、請求項3において、添加ガスとしての不活性ガスの添加量を変化させることによりエッチングガスの流量を変化させてエッチング条件を設定するようにしたものである。

【00025】また、この発明に係る請求項6の半導体装置の製造方法は、請求項3において、エッチング雰囲気の圧力を変化させることによりエッチング条件を設定するようにしたものである。

【00026】また、この発明に係る請求項7の半導体装置の製造方法は、請求項3において、エッチング雰囲気に印加される高周波電力を変化させることによりエッチング条件を設定するようにしたものである。

【00027】また、この発明に係る請求項8の半導体装置の製造方法は、請求項1ないし請求項7において、コントラクトホールの開口幅を1.0μm以下としたものである。

【00028】

【発明の実施の形態】

実施の形態1、以下、この発明の実施の形態を図について説明する。図1および図2はこの発明の実施の形態1における半導体装置の製造方法を示す断面図である。以下、この実施の形態1における半導体装置の製造方法について説明する。まず、従来の場合と同様に例えば減圧CVD法にて第1の層間絶縁膜2を堆積し、コントラクトホールを形成する。そして、これを覆うように例えば減圧CVD法や常圧CVD法等にて第1の酸化膜3を堆積し、例えばN+注入法やエチチング法などによつて第1の酸化膜3を表面化し第1の層間絶縁膜2を形成する。

【00029】一方、発明では、上記と同様にコントラクト

などを微量混合してアルミニウム膜を堆積する。これより堆積したアルミニウム膜を膜厚3.0 nm堆積し、これをエターニングを行い、第1の配線層および第1の保護膜4を形成する。図3-a。次に、例えばエターニング法にてシリコーン酸化膜5を膜厚1.0 nm堆積する。図3-b。次に、例えばCVD法、または、有機SiO₂あるいは無機SiO₂を用いるエチルトリガスにてシリコーン酸化膜5-aを膜厚1.0 nm堆積する。図3-c。次に、レジストを塗布し写真製版技術によりエターニングを行い後述するコントラクトホールを開口幅がり、4.0 nmにて形成できるようシリコーン酸化膜5を形成する。図3-d。

【0022】次に、レジストを塗布し写真製版技術によりエターニングを行い後述するコントラクトホールを開口幅がり、4.0 nmにて形成できるようシリコーン酸化膜5を形成する。図3-d。この際、エターニングがグレンジングにより表面左側のレジスト膜5のバターニングは第1の配線層3上を踏み外している。次に、シリコーン酸化膜5をマスクにて第2の層間絶縁膜5および第1の保護膜4のエッチングを予め、コントラクトホール1-2-a、1-2-bを形成する。図3-d-a。エッチング条件としては、例えはECR-RIE装置を用い、C₄F₈のエッチングガスに添加ガスとしてのO₂ガスの添加比率が3.5%となる条件にて行う。このエッチング条件におけるエッチングエンドは、コントラクトホールを形成する際に必要な第2の層間絶縁膜5のエッチング量である例えは9.50 nmにて飽和するよう設定されている。

【0023】よって、アライメントのズレの発生しているコントラクトホール1-2-aの第1の配線層3を踏み外した箇所のエッチングエンドは、9.50 nm以上エッチングされず停止している。次に、各コントラクトホール1-2-a、1-2-bを介して例えばアルミニウムにシリコンや銅などを微量混合したアルミニウム膜を堆積し第3の配線層13を形成する。図3-d-b。

【0024】以下、エッチング条件の設定について図3

S-I-O₂+C-F_x (イオン衝突)

この際、シリコーン酸化膜のエッチングに伴い上記式(1)とは別にC-F_xから成るテガ膜が発生し堆積する。酸素ガスはこのテガ膜をエッチングすることができる。よって、酸素ガスの添加率を変化させることによりコントラクトホール内のテガ膜の堆積を制御でき、極めては、コントラクトホールのエッチングエンドの制御が可能となる。

【0027】コントラクトホールを形成する際必要な第2の層間絶縁膜5のエッチング量として例えば9.50 nmとしたがこれは、逆走の場合にて示した例えは図示されて、たとえば、箇所と図示されて、る箇所とこれによる第2の層間絶縁膜5の膜厚に、重ねき、また、エチルトリガスにて堆積したシリコーン酸化膜5-aを重ねて第2の層間絶縁膜5の膜厚に重ねきる量である。

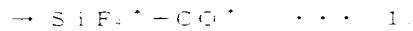
【0028】この層間絶縁膜4は、第2の層間絶縁膜5-aのエチルトリガスを重ねて堆積する前に存在

する、と認る用いて詳細に説明する。まず、例えはECR-RIE法にてシリコーン酸化膜5-aをコントラクトホールを開口幅がり、4.0 nmにてシリコーン酸化膜5-aを膜厚1.0 nmにて形成する。次に、例えはエターニング法にてシリコーン酸化膜5-aを膜厚1.0 nmにて形成する。この図から明らかなようにレジスト膜はエチルトリガスによりエチルトリガートが異なることがわかる。

この現象は一般的にRIE-1 angstromごとに、このことより、エチルトリガ時間が進行しても、ある値でエチルトリガートが飽和してしまうと、この現象が生じることを推察できる。この現象を図4にて説明する。これは開口幅がり、4.0 nmのコントラクトホールを有するエチルトリガ条件にて形成した際のエチルトリガ時間とエチルトリガ深さとの関係を示したものである。

【0025】このように、エチルトリガートが一定深さにて飽和することが確認できる。このように制御可能なエッチング条件として、エッチングガスに添加するガスである酸素ガスの添加率を変化させて行う方法がある。これを図5に示す。これは開口幅がり、4.0 nmのコントラクトホールを形成した際の酸素ガスの添加率とエッチング深さとの関係を示したものである。図から明らかなように上記で説明したように、9.50 nmの深さにてエッチングを飽和させたい場合は、酸素ガスの添加率が3.5%であることが確認できる。また、この図から、酸素ガスの添加率を変化させることにより上記した深さ以外でもそれに適したエッチング条件を容易に設定できることは明らかである。

【0026】次に、酸素ガスを添加することによりエッチングエンドが決定できる原理について説明する。まず、シリコーン酸化膜のエッチングは下記式(1)に示すように進行すると考えられる。



するため、第1の保護膜4の位置では十分エッチングが行われる。よって第1の保護膜4のエッチングレートが第2の層間絶縁膜5のエッチングレートより低くとも、第2の層間絶縁膜5が9.50 nm以上エッチングされないため、エッチング時間をより長くすることでき、第1の保護膜4を確実にエッチング除去することができる。

【0029】上記のように構成された実施形態1の半導体装置の製造方法によれば、コントラクトホール1-2-a、1-2-bを形成する際に、第2の層間絶縁膜5のエチルトリガートを必要な値にて飽和するようにエチルトリガ条件を、エチルトリガガスの添加ガス、酸素ガスの添加比率を変化させることにより行って、そこで、特にコントラクトホール1-2-a、1-2-bを形成時、エチルトリガートとなる膜を形成しないとも容易にコントラクトホール1-2-a、1-2-bのエチルトリガートを抑制して停止できることで、エチルトリガートの初期性を保ち、半導体装置を製

道を行ふことができる。

【0-0-3-1】実施の形態1、上記実施の形態1ではエーチンガスの添加ガスでモニ酸素ガスの添加比率を変化させることには、エーチンガス条件を設定する例を挙げると、これに限られることはなく、例えば添加ガスとしての不活性ガス、例えばAガスの添加量を変化させることによりエーチンガスの流量を変化させてエーチンガス条件を設定する方法、また、エーチンガス圧縮気の圧力を変化させることによりエーチンガス条件を設定する方法、また、エーチンガス圧縮気に即加される高周波電力を変化させることによりエーチンガス条件を設定する方法等にても上記実施の形態1と同様に行なうことができる。

【0-0-3-1】次に、これら3方法の原理について説明する。まず、上記実施の形態1にて説明した上記の1と同様のエッティングが行われている時、エッティングガスのエッティング時間(レジデンスタイム、滞在時間)をコントロールすることで、ガス膜の脱離を促進したり、また、ガス膜堆積に寄与するラジカル量を制御することができる。ここで上記した方法にてエッティング条件を設定すると、このレジデンスタイムの設定が可能となり、延いてはコントラクトホールを形成する際に必要な第2の層間絶縁膜のエッティング量にて飽和させることができる。

【0-0-3-2】現象としては、不活性ガスの添加量が多くなると、コントラクトホールが深くエッティングできる方向に、また、圧力が低くなると、コントラクトホールが深くエッティングできる方向に、また、高周波電力が大きくなるとコントラクトホールが深くエッティングできる方向に、それぞれ制御可能である。

【0-0-3-3】実施の形態3、また、上記各実施の形態では第1の保護膜4を備えている場合について説明したが、これに限られることはなく、保護膜を備えていない場合にも、コントラクトホールを形成する際に、アライメントのズレを生じた箇所において、第2の層間絶縁膜5が必要以上エッティングされることはない。

【0-0-3-4】実施の形態4、上記各実施の形態ではコントラクトホールの開口幅を0.1~4.0mmの場合について説明したが、これに限られることはなく、コントラクトホールの開口幅が1.0mmより大きければ、コントラクトホールが深くなったりオーバー露現が起こりやすくなるため、上記したエーチンガス条件を設定することにより、エーチンガスエンドを容易に設定することができる。

【0-0-4】

【発明の効果】以上のように、この発明の請求項1によれば、半導体基板または導体配線層上に積層された層

間絶縁膜を半導体基板または導体配線層上に形成するエーチングコントロールホールを形成する際に必要な層間絶縁膜(エーチンガス量にて飽和するまでのエーチンガス条件)を設定して、層間絶縁膜のエーチンガスを必要以上に進行せばアライメントズレが生じても、コントラクトホールの下端が他の導電箇所まで進行することはないため、信頼性が高く、且つ低成本にて製造可能な半導体装置の製造方法を提供することができる。

【0-0-5】また、この発明の請求項1によれば、請求項1において、半導体基板または導体配線層上に第1の保護膜を備え、コントラクトホールは層間絶縁膜および第1の保護膜を半導体基板または導体配線層上に形成するエーチング条件で、第1の保護膜を備えたとしてでも層間絶縁膜のエッティングが必要以上に進行せばアライメントズレが生じても、コントラクトホールの下端が他の導電箇所まで進行することはないため、信頼性が高く、且つ低成本にて製造可能な半導体装置の製造方法を提供することができる。

【0-0-6】また、この発明の請求項3によれば、請求項1または請求項2において、コントラクトホールをアライメントズレのエッティング方法にて形成するので、コントラクトホールの深さ方向のエッティング条件の設定が容易となり、コントラクトホールの最下端が他の導電箇所まで進行することを確実に阻止するため、信頼性が高く、且つ、低成本にて製造可能な半導体装置の製造方法を提供することができる。

【0-0-7】また、この発明の請求項4によれば、請求項3において、エッティングガスの添加ガスとしての酸素ガスの添加比率を変化させることによりエッティング条件を設定するので、容易に、且つ、確実にエッティング条件が設定できるため、信頼性が高く、且つ、低成本にて製造可能な半導体装置の製造方法を確実に提供することができる。

【0-0-8】また、この発明の請求項5によれば、請求項5において、エッティングガスの流量を添加ガスとしての不活性ガスの添加量を変化させることによりエッティング条件を設定するので、容易に、且つ、確実にエッティング条件が設定できるため、信頼性が高く、且つ、低成本にて製造可能な半導体装置の製造方法を確実に提供することができる。

【0-0-9】また、この発明の請求項6によれば、請求項6において、エーチンガス圧縮気の圧力を変化させることによりエーチンガス条件を設定するので、容易に、且つ、確実にエーチンガス条件が設定できるため、信頼性が高く、且つ、低成本にて製造可能な半導体装置の製造方法を確実に提供することができる。

【0-0-10】また、この発明の請求項7によれば、請求項7において、エーチンガス圧縮気に即加される高周波電

化を変化させることには、二千秒^{1/2}の条件を設定するので、容易に、且つ、確実に二千秒^{1/2}の条件が設定できるため、信頼性が高く、且つ、低成本にて製造可能な半導体装置の製造方法を確実に提供することができる。

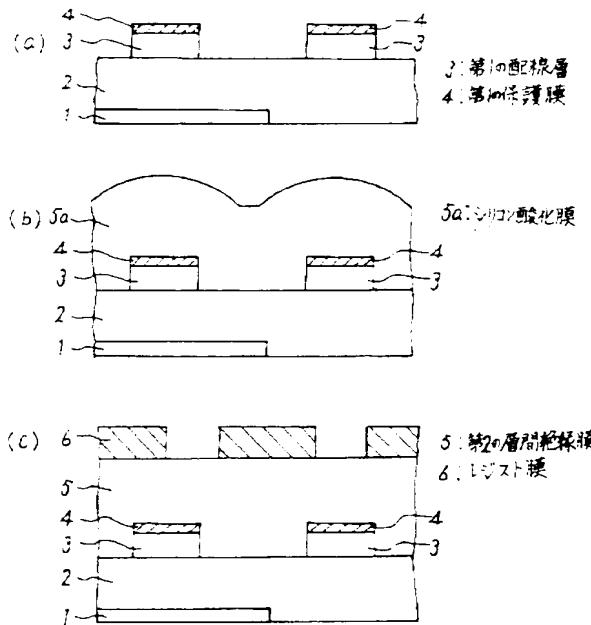
【0242】また、この発明の請求項によれば、請求項1ないし請求項7に記載のにおいて、コレタクトホールの開口幅を1.0μm以下としたので、容易に、且つ、確実に二千秒^{1/2}の条件が設定できるため、信頼性が高く、且つ、低成本にて製造可能な半導体装置の製造方法を確実に提供することができる。

【図面の簡単な説明】

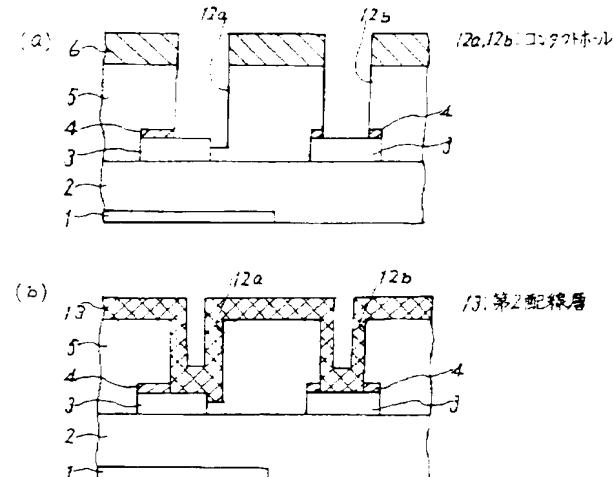
【図1】この発明の実施の形態1:半導体装置の製造方法を示す断面図である。

【図2】この発明の実施の形態1:半導体装置の製造方法を示す断面図である。

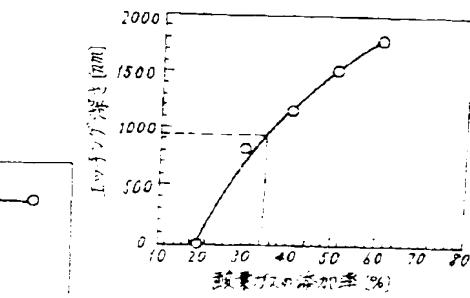
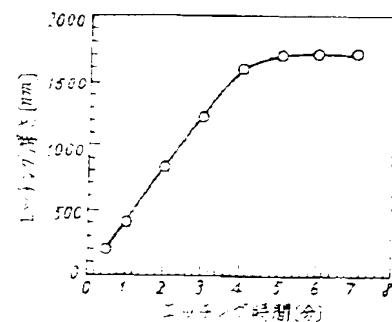
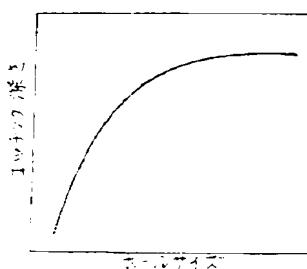
【図1】



【図2】



【図3】



【図6】R: B=1:4を説明するため、第一の条件と第二の条件との関係を示す図である。

【図7】(a) (b) (c) 開口幅を有するコレタクトホール形成時の二千秒^{1/2}の時間と二千秒^{1/2}の深さとの関係を示す図である。

【図8】(a) (b) (c) 開口幅を有するコレタクトホールにおける酸素ガスの添加量と二千秒^{1/2}の深さとの関係を示す図である。

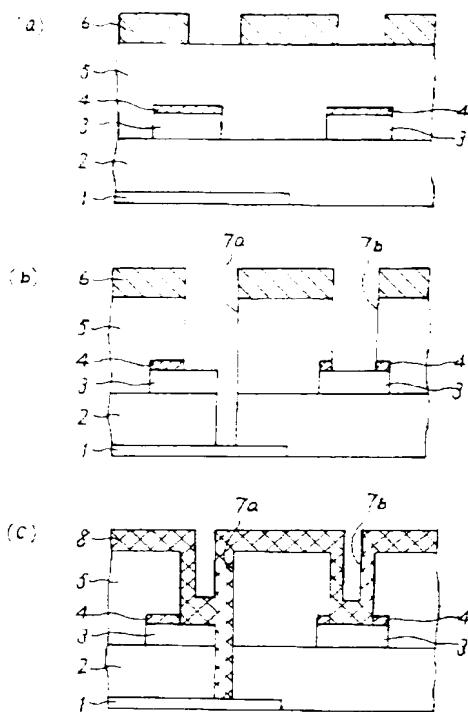
【図9】(a) (b) (c) 半導体装置の製造方法を示す断面図である。

【図10】他の送入ガス半導体装置の製造方法を示す断面図である。

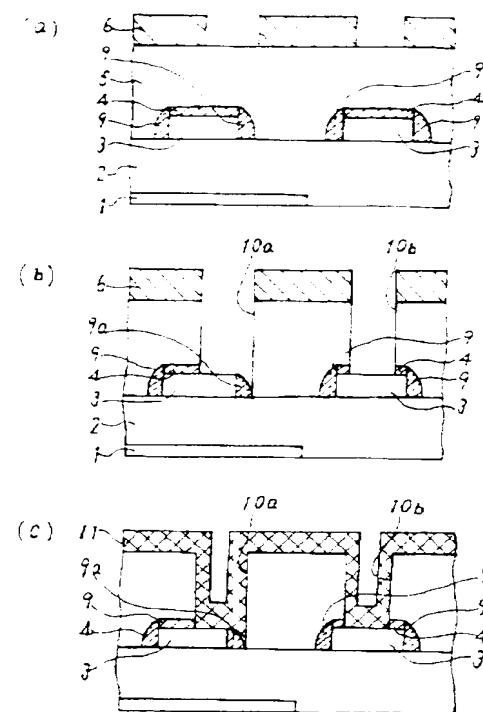
【符号の説明】

3 第1の配線層、4 第1の保護膜、5 第2の層間絕縁膜、12a, 12b コレタクトホール。

【X-6】



【X-7】



アコム・ページの続き

(51) Int.C11

識別記号

官内整理番号

F I

H 01 L 21/90

技術表示箇所

A